

文章编号:1008-1542(2012)04-0325-05

一种高性能的低压 CMOS 带隙基准电压源的设计

安胜彪,侯 洁,魏月婷,陈书旺,文环明

(河北科技大学信息科学与工程学院,河北石家庄 050018)

摘要:提出一种新型的芯片内基准电压源的设计方案,基准电压源是当代数模混合集成电路以及射频集成电路中极为重要的组成部分。为满足大规模低压 CMOS 集成电路中高精度比较器、数模转换器、高灵敏 RF 等电路对基准电压源的苛刻需要,芯片内部基准电压源大部分采用基准带隙电压源。研究并设计了一种低功耗、超低温度系数和较高的电源抑制比的高性能低压 CMOS 带隙基准电压源。其综合了一级温度补偿、电流反馈技术、偏置电路温度补偿技术、RC 相位裕度补偿技术。该电路采用台积电(TSMC)0.18 μm 工艺,并利用 Spectre 进行仿真,仿真结果表明了该设计方案的合理性以及可行性,适用于在低电压下电源抑制比较高的低功耗领域应用。

关键词:带隙;基准电压源;低温度系数;高电源电压抑制比

中图分类号:TN45 **文献标志码:**A

Design of high performance voltage source with low voltage CMOS bandgap

AN Sheng-biao, HOU Jie, WEI Yue-ting, CHEN Shu-wang, WEN Huan-ming

(College of Information Science and Engineering, Hebei University of Science and Technology, Shijiazhuang Hebei 050018, China)

Abstract: This article proposed a new design of a chip benchmark power source, which is a very important component of mixed signal IC and RF integrated circuit. To meet the requirement of low voltage and large-scale integrated CMOS circuit of high-precision, the use of reference source is rigors for A/D and D/A converter, high sensitive RF circuits and so on. Most parts of the benchmark source employ benchmark bandgap voltage source on chip, so a low power consumption, low temperature coefficient and high performance low pressure CMOS bandgap benchmark voltage source with higher PSRR is designed. It uses one level temperature compensation, current feedback technology, offset circuit temperature compensation technology and RC phase margin compensation technology. This circuit adopts the 0.18 μm process of TSMC, and uses the Spectre to simulate. The simulation result verifies the feasibility and rationality of the design. The circuit can be used for low voltage and low power consumption with higher PSRR.

Key words: bandgap; voltage reference; low temperature coefficient; PSRR

集成电路技术和半导体工艺发展至今,特别是在深亚微米和超深亚微米 CMOS 技术的支持下,在数据接收系统、数模转换器、电压控制器、各种芯片的驱动以及各种测量设备中的基准带隙电压源应用都非常广泛。基准带隙电压源电路是集成电路中一个非常重要的单元模块,其电源抑制比、温度系数和输出电压的稳定性以及功耗都直接影响了芯片甚至整个系统的性能,整个系统的优劣往往由基准电压源的性能和精度决

收稿日期:2011-11-08;责任编辑:陈书欣

基金项目:河北省教育厅高等学校科学研究计划项目(Z2011230);河北科技大学理工学院教育教学改革研究项目(2010Z01)

作者简介:安胜彪(1978-),男,河北唐山人,讲师,硕士,主要从事电路与系统方面的研究。

定。伴随着集成电路的迅速发展,各种芯片的供电电压越来越低,目前 1.8 V 及以下的电压已被广泛应用。因此,供电电压低、性能高、可靠度高的 CMOS 基准电压源已成为集成电路设计者们追逐的焦点。

1 国内外发展状况与趋势

国内外对 CMOS 工艺的基准电压源做了大量的研究,笔者主要从以下方面进行介绍。

1)SOC(system on chip)的主流工艺是 CMOS 技术,数字电路的工作电压正在不断降低,即使是集成在同一块芯片上的模拟电路也要求降低工作电压。一般的基准电压源至少工作在 1.2 V 以上^[1]。本设计基准电压源可以工作在 1 V 左右。

2)在混合的集成电路的设计中,数字电路噪声会对模拟电路造成一定的影响。所以,基准电压源应该在较宽的范围内才能提高电源抑制比。文中采用的差分结构能显著改善电源电压抑制比(PSRR),类似的改进电路在 1 MHz 下的 PSRR 为 49 dB,本设计的 PSRR 在 500 kHz 下为 90 dB 左右。

2 高性能的低压 CMOS 带隙基准电压源分析

2.1 基准带隙电压源的原理

基准带隙电压源是一种基本上不依赖于温度和电源的基准电压源,其工作的基本原理如图 1 所示。

由室温下温度系数为 $\partial V_{BE}/\partial T = -1.5 \text{ mV}/^\circ\text{C}$ 的 PN 结二极管产生电压为 V_{BE2} ,同时 PN 结也产生一个热电压 V_T ($V_T = kT/q$,其中, k 为波尔兹曼常数, T 为热力学温度, q 为电量)。由该式可以看出 V_T 与绝对温度成正比,在室温下,温度系数为 $+0.087 \text{ mV}/^\circ\text{C}$ ^[2]。由此可知输出基准电压为

$$V_{\text{ref}} = V_{BE} + KV_T \quad (1)$$

式中: V_{ref} 为基准电压, V_{BE} 为三极管的基极与发射极正偏电压; K 为常量; V_T 为热电压。如图 1 中所示,取 $R_4 = R_6$,使 $I_2 = I_3 = I$,

$$V_{\text{ref}} = I(R_4 + R_5 + 2R_3) + V_{BE2} = \left(1 + \frac{R_4 + 2R_3}{R_5}\right) \frac{KT}{q} V_T \ln n + V_{BE2} \quad (2)$$

由于电源电压 V_{DD} 对 V_{BE} 的影响非常小,所以,基准带隙与电源电压的变化几乎没有关系。选择合适的值便可得到零温度系数,使输出电压与温度无关^[3]。由此可以看出,选择合适的 K 值在电路设计中也是非常重要的。

2.2 高性能的低压 CMOS 基准带隙电压源电路结构及分析

此设计的 CMOS 基准带隙电压源的电路图如图 2 所示。

该电路由快速自启动电路、基准偏置电路、两级差分输入放大器电路组成。由于带隙基准电压源的电压偏执电路存在 2 个平衡点(零点和正常工作点)^[4],为了以最快的速度使电路摆脱零点,于是在电路设计中增加了快速自启动电路,目的就是为了使基准电压源工作在零点上,从而在很大程度上缩短了电路达到稳定状态的时间。电路快速自启动由晶体管 MP_1, MN_1, MN_2 以及电容 C_0 组成。当电路供电时,电流迅速通过 MP_1 对电容值为 $0.01 \mu\text{F}$ 的电容 C_0 充电。充电过程会使 MN_2 管的栅极电压上升,导致 MN_2 管导通,使偏置电路迅速摆脱零工作点。

电路设计过程中,提出了一种设计新颖的电压偏置电路,如图 3 所示。为了使得到的偏置电压尽可能受温度影响小些,温度补偿电路可以抵消温度的影响。在电路设计过程中 Q_1 和 Q_0 的面积比 $n=3$,电阻 $R_0 = 2.85 \text{ k}\Omega$,具有温度补偿的偏置电路输出的偏置电压受温度的影响较小。

运算放大器电路和基准电压产生电路是此次电路设计中的核心部分,如图 4 所示。运算放大器电路采用标准二级运算放大器,第 1 级采用 PMOS 管差分输入,第 2 级采用电流源负载共源级输出。第 1 级放大是由 MP_9 和 MP_{10} 2 个 PMOS 作为驱动管, MP_9 和 MP_{10} 作为有源负载, MP_8 与 MP_{11}, MP_{17} 构成电流镜结构。第 2 级放大是共源放大器,由 MP_{17} 和 MP_{11} 构成,其中 MN_{11} 作为驱动管,而 MP_{17} 是 MN_{11} 的有源负载,

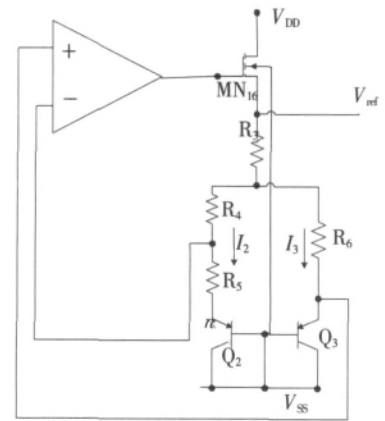


图 1 基准带隙电压源的基本原理

Fig. 1 Basic principle of the bandgap voltage reference

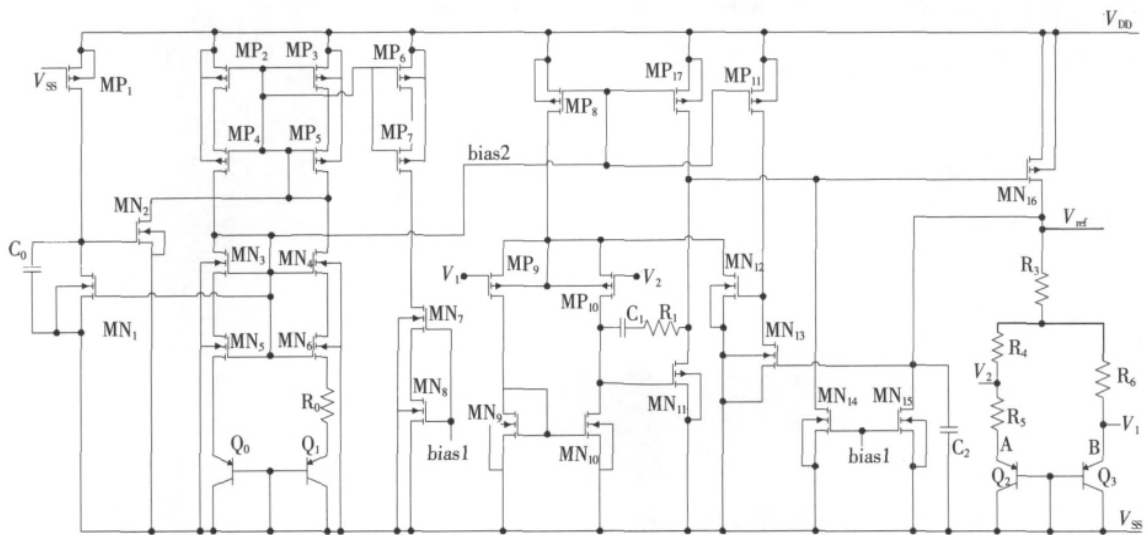


图 2 新型基准带隙电压源电路图

Fig. 2 Circuit diagram of the new band gap voltage reference

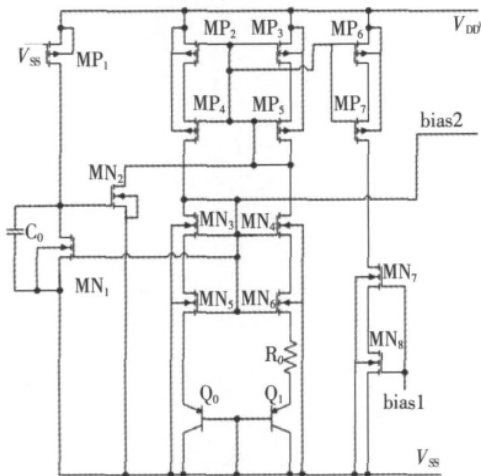


图 3 启动电路和偏置电路

Fig. 3 Circuit of start-up and offset

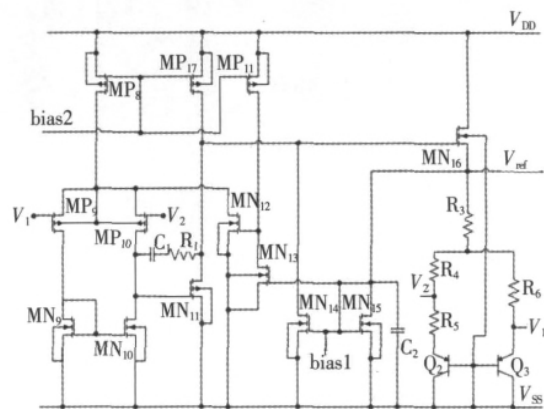


图 4 运算放大电路和基准电压产生电路

Fig. 4 Circuit of operation amplifier and circuit of generating reference voltage

同时 MP₁₇ 也起到镜像电流的作用。第 2 级放大器能将第 1 级差分放大器的单端输出信号进行再放大,从而得到较高的电压增益。本设计放大器工作在低压条件下,所以采用了 PMOS 管作为差分输入级,这样既可以降低输入共模电平,也可以使运算放大器的共模输入范围从零开始。如果采用 NMOS 管输入的运算放大器,当温度很低时,反馈过来的共模电平可能会因为过低而不能使运算放大器正常工作。此外,在电路设计过程中,运算放大器还采用 RC 补偿网络来获得足够的相位裕度。在基准电压产生电路部分,为了使 Q₂ 和 Q₃ 2 条支路的电流一致,因此将 R₄ = R₅。但是,由于 R₄, R₅ 的电阻值较大,考虑到在版图设计过程中占用面积较大,所以增加了电阻 R₃。这样不仅可以实现 2 条支路上电流的匹配,还能减小版图所占用的面积。

2.3 电路中电阻及电容参数的设定

在电路中为了获取足够的相位裕度和频率补偿,设计过程中在运算放大器输出端的 MN₁₁ 管处添加了 RC 补偿网络。取 C₁ = 0.3 pF, R₁ = 2 kΩ。为了得到输出较稳定的基准电压,基准电压源采用了更为巧妙的电路设计,如图 2 中基准电压产生电路所示。由于 A 点的电压和 B 点的电压基本相等,都等于 V_{EB3},加上电流流经 R₄ 上产生的电压,即可保证产生基准电压 V_{ref}。如果在 Q₃ 所在的支路不加电阻 R₆,通过仿真发现 Q₂ 和 Q₃ 2 条支路的电流很难精确相等。经分析,由于 A 和 B 节点的电压基本相等,在 Q₂ 支路上存在 R₅ 的分压,2 条支路电流不能精确相等^[5]。为此,在 Q₃ 的支路上加了电阻 R₆,并且 R₆ = R₄,这样就保证了 2 条

支路电流的精确相等。

为了确定电路中所加电阻的阻值,设流经 Q_2, Q_3 的电流都为 I ,则有

$$V_{BE3} = IR_5 + V_{BE2}, \tag{2}$$

得

$$I = \frac{V_{BE3} - V_{BE2}}{R_5}. \tag{3}$$

设 Q_2 发射区面积是 Q_3 的 n 倍,得

$$V_{BE2} = \frac{KT}{q} \ln \frac{I}{nI_s}, \tag{4}$$

$$V_{BE3} = \frac{KT}{q} \ln \frac{I}{I_s}. \tag{5}$$

将式(4),式(5)代入式(3)

$$I = \frac{KT}{q} \frac{1}{R_5} \ln n. \tag{6}$$

将式(6)中推导出来的电流结果代入式(1)中,可进一步得出式(7):

$$V_{ref} = I(R_4 + R_5 + 2R_3) + V_{BE2} = \left(1 + \frac{R_4 + 2R_3}{R_5}\right) \frac{KT}{q} \ln n + V_{BE2}. \tag{7}$$

通过对单个 PNP 晶体管测试,初步确定 $n=8$,利用式(7),经过反复仿真最终确定 $R_4=12\text{ k}\Omega, R_5=2.6\text{ k}\Omega$ 。由以上分析可知,为了使 2 条支路的电流尽可能精确相等,所以在 MP_8 支路上加了 R_6 ,即 $R_6=R_4=12\text{ k}\Omega$ 。这样既保证了 2 条支路在电阻方面的平衡,又使两边的电流尽可能完全相等。

3 仿真与测试结果分析

1) 直流仿真结果(见图 5)

由图 5 可知,通过 HSPICE 的仿真,当电源电压大于 1.75 V 时,该电路的输出电压为 $V_{ref}=(1.213\ 2 \pm 0.001\ 5)\text{ V}$ 。从图 5 中的仿真波形可以得出,当电源电压在 1.80 V 时,该基准电压源即可达到稳定的输出电压。

2) 温度系数及仿真结果的分析(见图 6)

由图 6 可见该基准带隙电压源随温度的变化范围非常小,当温度为 $-55 \sim 125\text{ }^\circ\text{C}$ 时,输出电压变化低于 0.004 V。由此可以看出该基准电源模块的温度系数较小,即电路中晶体管 V_{BE} 和 V_T 的匹配比较高。但在实际电路中,零温度系数是不存在的,只有把各方因素都考虑在内,才能在实际电路中获得温度系数比较低的基准电压源。

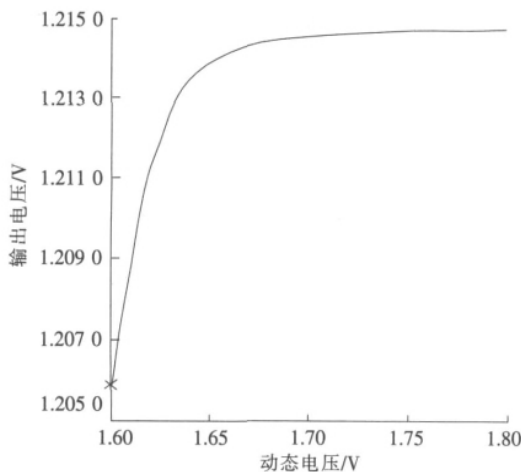


图 5 V_{ref} 在不同电压下的特性

Fig. 5 Characteristics of V_{ref} under different voltage

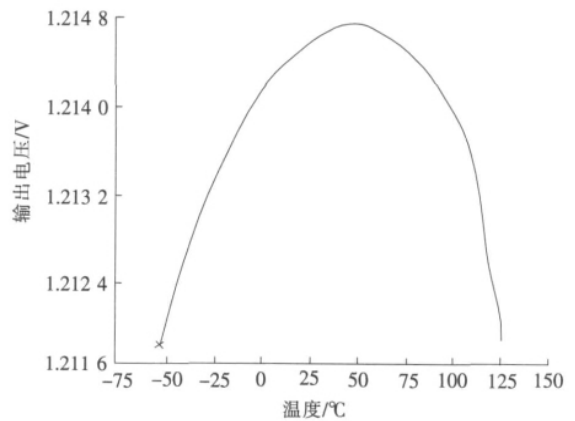


图 6 V_{ref} 在整个温度范围内变化情况

Fig. 6 Conditions of V_{ref} in the temperature range

通过上述仿真结果得到温度系数,由图 6 可知, $V_{ref}=(1.213\ 2 \pm 0.001\ 5)\text{ V}$, $-55 \sim 125\text{ }^\circ\text{C}$ 时,基准带隙电压源的温度系数为

$$\gamma_{TC} = 0.0015 / [(125 + 55) \times 1.2132] = 6.87 \times 10^{-6} / ^\circ\text{C}$$

3) 电源抑制比(见图7)

由图7(图中 f 表示频率)可知,电源抑制比为 86 dB,基本上达到了电路预先设计的要求。

4 结论

此次结合一级温度补偿、电流反馈技术、偏置电路温度补偿技术、RC 相位裕度补偿技术,设计出了一种适用于在低电压下、电源抑制比较高、低功耗领域应用的高性能低压 CMOS 基准带隙电压源。该电路应用的是台积电(TSMC) 0.18 μm 工艺,通过 Spectre 仿真结果表明,该电路在 $-55 \sim 125^\circ\text{C}$ 时,输出基准电压为 $(1.2132 \pm 0.0015)\text{V}$; 25°C , 1.8 V 电压下功耗为 19 μW ; 温度系数为 $6.87 \times 10^{-6} / ^\circ\text{C}$, 电源抑制比为 86 dB,可以在各个低压领域中广泛应用。

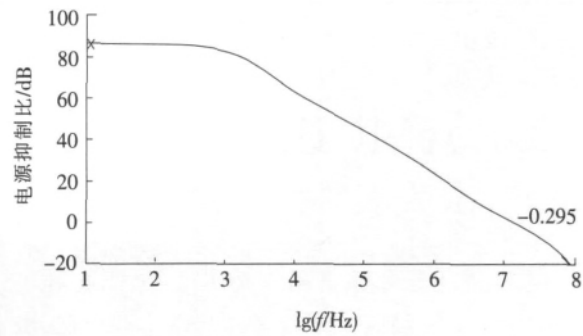


图7 电源抑制比仿真结果图

Fig.7 Simulation of PSRR

参考文献:

- [1] 李永红. 电源芯片中 CMOS 带隙基准源与微调的设计与实现[D]. 成都: 电子科技大学, 2005.
- [2] 贾有平, 杨兵. 一种高性能 CMOS 带隙基准电压源设计[A]. 2009 通信理论与技术新发展——第十四届全国青年通信学术会议论文集[C]. 北京: 电子工业出版社, 2009. 149-153.
- [3] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿译. 西安: 西安交通大学出版社, 2003.
- [4] LEE Y J, KIM Y B, WILSCH H, et al. A CMOS sub-bandgap reference circuit with 1 V power supply voltage[J]. IEEE Journal of Solid-State Circuits, 2004, 39 (1): 252-255.
- [5] ZHAO Fang-lan, FENG Quan-yuan, GONG Kun-lin. An undervoltage lockout of hysteretic threshold of zero temperature coefficients[J]. APMC, 2005(2): 4-7.

(上接第 324 页)

4 结语

虽然混响室和开阔场的制作原理不同,二者模拟的电磁环境也不同,电磁兼容测试方法也不同,本文对放置在两者中单极子天线的归一化感应电流的相关性进行了分析,从仿真分析的结果来看,混响室辐射敏感度测试结果和开阔场辐射敏感度测试结果是有相关性的,混响室能够替代开阔场进行辐射敏感度测试。作为一种新兴技术,混响室能够模拟复杂电磁环境,这种电磁环境更接近于真实世界的电磁环境,而且混响室建造成本相对较低,所以这种电磁兼容测试新技术值得接受和推广。

对于相关性的定量分析,文中采用计算 Pearson 积差相关系数的方法讨论了两者的线性相关性,是否有更合理、更科学的方法来定量研究二者的相关性,值得进一步研究。

参考文献:

- [1] 杨盛祥. 开阔试验场的测试[J]. 电子商务(Electronic Science & Technology Review), 1997(11): 24-28.
- [2] 张林昌. 混响室及其进展(上)[J]. 安全与电磁兼容(Safety & EMC), 2001(4): 2-8.
- [3] IEC 61000-4-21:2003, Testing and Measurement Technique-Reverberation Chamber Test Methods[S].
- [4] 陈淑凤, 马蔚宇, 马晓庆. 电磁兼容试验技术[M]. 北京: 北京邮电大学出版社, 2001.
- [5] 郑星, 樊友谊. 大型微波混响室及其设计研究[J]. 电子测量技术(Electronic Measurement Technology), 2008, 31(10): 35-38.
- [6] 郭英俊. 数理统计中的相关性[J]. 函授教育(Postal Education), 1999(2): 11-13.
- [7] 丁剑洁. 相关性分析技术在软件度量中的应用[J]. 陕西教育学院学报(Journal of Shaanxi Institute of Education), 2008, 24(1): 100-103.